

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-350439

(P2001-350439A)

(43)公開日 平成13年12月21日 (2001. 12. 21)

(51)Int.Cl. ⁷	識別記号	F I	テームト(参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 A 5 C 0 5 8
			6 4 1 Q 5 C 0 8 0
3/32		3/32	A
H 0 4 N 5/66	1 0 3	H 0 4 N 5/66	1 0 3

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21)出願番号 特願2000-168649(P2000-168649)

(22)出願日 平成12年6月6日(2000. 6. 6)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高木 祐一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5C058 AA13 BA01 BA07 BA09 BB01
BB04

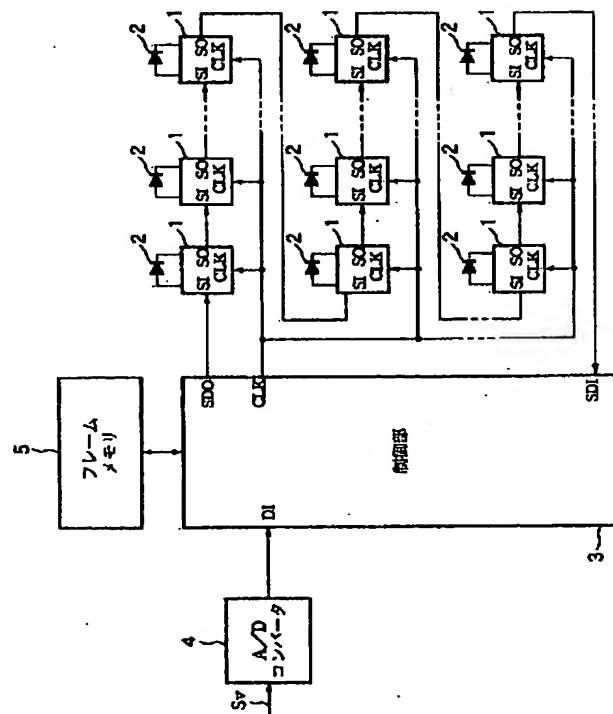
5C080 AA07 BB05 DD22 DD26 DD27
EE29 GG08 HH14 JJ02 JJ04
JJ05

(54)【発明の名称】 変調回路およびこれを用いた画像表示装置

(57)【要約】

【課題】 輝度データのビット数を増やしたり、輝度データに補正等の前処理を加えることなく、輝度データとLEDの発光輝度の関係をCRTのガンマ特性の特性に合わせて設定できる

【解決手段】 A/Dコンバータ4でバイナリコードに変換された輝度データSvは、制御部3においてシリアルデータに変換されて、縦続接続された各パルス幅変調回路1へ出力される。各パルス幅変調回路1において輝度データSvに応じたパルス長のパルス電流が生成され、各パルス幅変調回路1に接続されているLED2がこの電流で駆動されて発光する。またこのパルス電流の振幅は、パルス電流の周期をクロック信号によって計数するカウンタの計数値に応じて可変される。これにより、LED2に流れるパルス電流の時間的平均値と輝度データの関係を、CRTのガンマ特性に合わせることができる。



【特許請求の範囲】

【請求項 1】 入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、

上記周期における位相に応じた位相データを生成する位相データ生成回路と、

上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において、上記パルス信号のレベルを、上記周期における位相に応じた第 1 のレベルまたは所定の第 2 のレベルに切り換えて出力するパルス信号出力回路とを有する変調回路。

【請求項 2】 上記パルス信号出力回路は、上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において切り換え信号を出力する切り換え信号生成回路と、

上記第 1 のレベルを有する第 1 の信号を生成する第 1 の信号生成回路と、

上記第 2 のレベルを有する第 2 の信号を生成する第 2 の信号生成回路と、

上記切り換え信号に応じて、上記第 1 の信号または上記第 2 の信号を切り換えて出力する切り換え回路とを含む、

請求項 1 に記載の変調回路。

【請求項 3】 上記パルス信号出力回路は、クロックパルスを計数し、計数値が所定の計数値に達した場合、当該計数値を所定の初期値にリセットして再び当該クロックパルスを計数するクロック計数回路を含み、

上記位相データ生成回路は、上記計数値に応じた上記位相データを生成し、

上記第 1 の信号生成回路は、上記計数値に応じたレベルを有する上記第 1 の信号を生成する、

請求項 2 に記載の変調回路。

【請求項 4】 入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、

上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較し、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差に応じたパルス長データ、および当該所定の位相に対応して設定したパルス振幅データを、当該所定の位相において出力するパルスデータ出力手段と、

上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始し、当該クロックパルスの計数値と当該パルス長データの値を比較し、当該計数値が上記所定の初期値および当該パルス長データと等しくなる時点において、上記パルス信号のレベルを、上記パルス振幅データに応じた第 1 のレベルまたは所定の第 2 のレベルに切り換えて出力す

るパルス信号出力回路とを有する変調回路。

【請求項 5】 上記パルス信号出力回路は、上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始するクロック計数回路と、

上記クロック計数回路による計数値と上記パルス長データの値を比較し、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において切り換え信号を出力する切り換え信号生成回路と、

10 上記第 1 のレベルを有する第 1 の信号を生成する第 1 の信号生成回路と、

上記第 2 のレベルを有する第 2 の信号を生成する第 2 の信号生成回路と、

上記切り換え信号に応じて、上記第 1 の信号または上記第 2 の信号を切り換えて出力する切り換え回路とを含む、

請求項 4 に記載の変調回路。

【請求項 6】 入力データに応じて変調した所定の周期のパルス信号を受けて、当該パルス信号のレベルに応じた輝度で発光する発光素子を有する画像表示装置であって、

上記周期における位相に応じた位相データを生成する位相データ生成回路と、

上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において、上記パルス信号のレベルを、上記周期における位相に応じた第 1 のレベルまたは所定の第 2 のレベルに切り換えて出力するパルス信号出力回路とを有する変調回路。

30 【請求項 7】 上記パルス信号出力回路は、

上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において切り換え信号を出力する切り換え信号生成回路と、

上記第 1 のレベルを有する第 1 の信号を生成する第 1 の信号生成回路と、

上記第 2 のレベルを有する第 2 の信号を生成する第 2 の信号生成回路と、

40 上記切り換え信号に応じて、上記第 1 の信号または上記第 2 の信号を切り換えて出力する切り換え回路とを含む、

請求項 6 に記載の変調回路。

【請求項 8】 上記パルス信号出力回路は、クロックパルスを計数し、計数値が所定の計数値に達した場合、当該計数値を所定の初期値にリセットして再び当該クロックパルスを計数するクロック計数回路を含み、

上記位相データ生成回路は、上記計数値に応じた上記位相データを生成し、

50 上記第 1 の信号生成回路は、上記計数値に応じたレベル

を有する上記第1の信号を生成する、
請求項7に記載の変調回路。

【請求項9】 入力データに応じて変調した所定の周期のパルス信号を受けて、当該パルス信号のレベルに応じた輝度で発光する発光素子を有する画像表示装置であって、

上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較し、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差

に応じたパルス長データ、および当該所定の位相に対応して設定したパルス振幅データを、当該所定の位相において出力するパルスデータ出力手段と、
上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始し、当該クロックパルスの計数値と当該パルス長データの値を比較し、当該計数値が上記所定の初期値および当該パルス長データと等しくなる時点において、上記パルス信号のレベルを、上記パルス振幅データに応じた第1のレベルまたは所定の第2のレベルに切り換えて出力するパルス信号出力回路とを有する変調回路。

【請求項10】 上記パルス信号出力回路は、
上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始するクロック計数回路と、

上記クロック計数回路による計数値と上記パルス長データの値を比較し、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において切り換え信号を出力する切り換え信号生成回路と、

上記第1のレベルを有する第1の信号を生成する第1の信号生成回路と、

上記第2のレベルを有する第2の信号を生成する第2の信号生成回路と、

上記切り換え信号に応じて、上記第1の信号または上記第2の信号を切り換えて出力する切り換え回路とを含む、

請求項9に記載の変調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力データの値に応じて変調したパルス信号を所定の周期で出力する変調回路および上記変調回路を用いた画像表示装置ならびに変調方法に関し、好適には、LEDの駆動信号の変調回路およびLEDによる画像表示装置に関する。

【0002】

【従来の技術】 青色LED (Light Emitting Diode: 発光ダイオード) の発明以来、LEDで3原色を発光する画素によって画面を構成させたLEDカラーディスプレイ装置が広く一般に製造されるようになった。LEDは耐久性に優れ、また半永久的に使用可能であり、屋外で

長期間使用するような用途に最適な発光素子である。このため競技場やイベント会場の大型ディスプレイ、ビル壁面や駅構内の広告を兼ねた情報表示パネルなどとして広く用いられている。近年では、青色LEDの高輝度化と低価格化に伴って、このLEDカラーディスプレイ装置が急速に普及している。

【0003】 図10は、LEDディスプレイの画素を構成するLEDの駆動回路を示す図である。図10において、100は駆動回路を、200はLEDをそれぞれ示す。また、Spxは画素ごとに与えられる映像信号を、I_dはLED200に流れる電流をそれぞれ示している。

【0004】 駆動回路100は、映像信号Spxに応じた電流をLED200に出力し、LED200は、駆動回路100から供給される電流に応じて発光している。LEDディスプレイ装置には、図10に示す駆動回路100とLED200による回路が画素数に応じた数だけ構成されており、画素ごとに与えられる映像信号Spxに応じた輝度で各画素のLEDを発光させることにより、画面を見る者に映像を認識させている。また、各画素に与えられる映像信号Spxは、一般に所定のビット数のデジタル値として各駆動回路100に供給されている。

【0005】 図11は、図10のLED200に流れる電流の波形を示す図である。図11において、縦軸はLEDに流れる電流を相対値で示しており、横軸は時間を相対値で示している。また、I_{pulse}はLEDに流れるパルス状の電流波形のピーク値を、t_wはパルス部分の時間幅を、Tは波形の周期をそれぞれ示している。

【0006】 図11に示すように、LEDディスプレイの画素を構成するLEDに流す電流の波形は、周期的なパルス状の波形になっている。そして、輝度の調整はこのパルス波形のパルス時間幅t_wを可変させるパルス幅変調によって実現している。LEDに流す電流を直流電流として、この電流値を映像信号Spxに応じて可変させて輝度を調整させることも原理的には可能だが、その場合駆動回路で電流値を微小に制御する必要があり、その制御のための回路によって部品点数が多くなってしまう問題がある。電流値の分解能を高くするより時間の分解能を高くするほうが容易なので、一般的には図11の電流波形に示したようなパルス幅変調方式が採用されている。

【0007】 人の視覚の性質により、例えば60分の1秒以下の点灯時間で明滅する光の輝度は一定の輝度を有するように感じられる。したがって、図11に示した電流波形でLEDを駆動させた場合であっても、電流波形の周期Tが上述の時間より短ければ、点滅して発光するLEDの光を人に一定の輝度の光として視認させることが可能である。また、人の視覚に感じられる輝度はLEDに流れる電流の時間的平均値に比例するので、パルス電流の周期Tに対するパルス時間幅t_wの比 (デューティー比) が大きくなるほど輝度も大きくなる。

【0008】ところで、LEDディスプレイ装置に入力される映像信号のレベルは、一般にCRT (Cathode-Ray Tube: 陰極線管) の輝度特性と適合するようあらかじめ規格化されており、CRTの画素と異なる輝度特性を有するLEDにこのような映像信号をそのまま入力した場合、以下に述べる問題が生ずる。

【0009】図12は、入力される信号レベルに対するLEDおよびCRTの輝度の関係を示す図である。図12において、縦軸はLEDおよびCRTの画素の輝度を相対値で示しており、横軸はLEDおよびCRTの各画素に入力される信号レベルを相対値で示している。また、AはCRTの輝度特性を、BはLEDの輝度特性をそれぞれ示している。なお、信号レベルはCRTの輝度特性Aにおいては映像信号の電圧値を示しており、LEDの輝度特性BにおいてはLEDに流す電流値を示している。

【0010】図12に示すように、LEDの輝度特性Bは信号レベルに対して線形な関係を有しているのに対し、CRTの輝度特性Aは信号レベルに対して非線形な関係を有している。一般に、CRTの輝度は映像信号の電圧レベルの2.2乗に比例した特性(ガンマ特性)を有している。したがって、このようなガンマ特性に適合するよう規格化された映像信号に比例した電流をそのままLEDに流した場合、LEDの発光出力は、発光出力が小さい領域でCRTより明るく、また発光出力が大きい領域でCRTより暗くなる。したがって、このような画素により構成された画像は、明るい部分と暗い部分の輝度の比率が本来の画像からずれてしまうため、見た目が不自然な画像になってしまう。

【0011】こうした問題を解決するために、従来のLEDディスプレイ装置においては、映像信号が有する上述の輝度特性による影響を打ち消すように補正した信号を、上述の映像信号 S_{px} として駆動回路100に入力している。具体的には、例えば信号レベルの2.2乗に比例した輝度を発光するCRTに合わせて生成された映像信号で輝度特性が線形なLEDを駆動する場合は、映像信号の2.2乗に比例する信号を生成し、この信号でLEDを駆動している。

【0012】

【発明が解決しようとする課題】しかしながら、デジタル化された映像信号を2.2乗して得られるバイナリデータは、元の映像信号のビット数を十分に大きくしておかないと、元の映像信号の値が小さい領域において、値の微小な変化を表現できなくなる。すなわち、デジタル化された映像信号のビット数が少ないと、輝度の低い領域において輝度の諧調が粗くなってしまい、不自然な画像になってしまう。こうした問題を避けるためには映像信号のビット数を増やす必要があり、従来のLEDディスプレイ装置では、例えばCRTの場合8ビットの映像信号で表現できる画像を再現するために12~16ビッ

トの映像信号を生成する必要がある。このようにして映像信号のビット数が増えると、各LEDを駆動するパルス幅変調回路のビット数が増えるので全体の回路規模が大きくなってしまい、コストの増大や消費電力の増大といった問題をもたらす。

【0013】また、一般に図11に示したパルス波形は時間の基準となるクロックを計数することによって生成しているが、映像信号のビット数が大きくなるということはそれだけクロックを計数する数が増えることを意味するので、同じ周波数のクロックを用いた場合、パルス幅変調の周期 T が大きくなってしまう。たとえば8ビットの映像信号に対してビット数が4ビット多い12ビットの映像信号を生成してパルス幅変調を行う場合、クロックの周波数を同じにして比較すると、パルス幅変調の周期 T は8ビットの映像信号の場合に比べて16倍になる。パルス幅変調の周期 T は上述した人間の視覚の特性を利用しているので、この周期をあまり長くしてしまうと光の明滅が人の目に感じられてしまう現象(フリッカ)を引き起こし、見るに耐えない画像になってしまう。さらに一般にLEDディスプレイはCRT等に比べて上述したフリッカが人の目に付きやすい特性があるため、パルス幅変調の周期 T は例えば50分の1秒といった通常のリフレッシュレートよりも数倍早いことが要求されている。映像信号のビット数を増やし、さらにパルス幅変調の周期 T を短くするためにはパルス幅変調回路に用いるクロックの周波数を高くすれば良いが、そうすると回路の消費電力が増大する問題がある上に、現状で10~20MHzある周波数をさらに数十倍に高くすることは困難であるため、クロックの高周波化には限界がある。

【0014】本発明はかかる事情に鑑みてなされたものであり、その目的は、入力データの値に応じてパルス長を変調したパルス信号を出力する変調回路において、入力データのビット数を増やしたり、入力データに補正等の処理を加えることなく、入力データとパルス長の関係を所定の特性に合わせて設定できる変調回路と、当該変調回路を備えた画像表示装置を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明の変調回路では、入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、上記周期における位相に応じた位相データを生成する位相データ生成回路と、上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において、上記パルス信号のレベルを、上記周期における位相に応じた第1のレベルまたは所定の第2のレベルに切り換えて出力するパルス信号出力回路とを有している。

【0016】好適には、上記パルス信号出力回路は、上

7

記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記記位相データと上記入力データの値が一致する位相において切り換え信号を出力する切り換え信号生成回路と、上記第1のレベルを有する第1の信号を生成する第1の信号生成回路と、上記第2のレベルを有する第2の信号を生成する第2の信号生成回路と、上記切り換え信号に応じて、上記第1の信号または上記第2の信号を切り換えて出力する切り換え回路とを含んでいる。

【0017】また好適には、上記パルス信号出力回路は、クロックパルスを計数し、計数値が所定の計数値に達した場合、当該計数値を所定の初期値にリセットして再び当該クロックパルスを計数するクロック計数回路を含み、上記記位相データ生成回路は、上記計数値に応じた上記記位相データを生成し、上記第1の信号生成回路は、上記計数値に応じたレベルを有する上記第1の信号を生成している。

【0018】本発明の変調回路によれば、上記記位相データ生成回路において、上記周期における位相に応じた位相データが生成される。上記パルス信号出力回路において、上記記位相データと上記入力データの値が比較され、上記周期における所定の初期位相、および上記記位相データと上記入力データの値が一致する位相において、上記パルス信号出力回路から出力される上記パルス信号のレベルは、上記周期における位相に応じた第1のレベルまたは所定の第2のレベルに切り換えられる。好適には、上記パルス信号出力回路において、上記記位相データと上記入力データの値が比較され、上記周期における所定の初期位相、および上記記位相データと上記入力データの値が一致する位相において上記切り換え信号が生成される。この切り換え信号は上記切り換え回路に入力されて、上記第1の信号生成回路による上記第1の信号または上記第2の信号生成回路による上記第2の信号が、上記切り換え信号に応じて切り換えられて出力される。また好適には、上記クロック計数回路においてクロックパルスが計数され、計数値が所定の計数値に達した場合、当該計数値が所定の初期値にリセットされて再び当該クロックパルスが計数される。また、上記記位相データ生成回路においては、上記計数値に応じた上記記位相データが生成され、上記第1の信号生成回路においては、上記計数値に応じたレベルを有する上記第1の信号が生成される。

【0019】また、本発明の変調回路では、入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較し、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差に応じたパルス長データ、および当該所定の位相に対応して設定したパルス振幅データを、当

8

該所定の位相において出力するパルスデータ出力手段と、上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始し、当該クロックパルスの計数値と当該パルス長データの値を比較し、当該計数値が上記所定の初期値および当該パルス長データと等しくなる時点において、上記パルス信号のレベルを、上記パルス振幅データに応じた第1のレベルまたは所定の第2のレベルに切り換えて出力するパルス信号出力回路とを有している。

10 【0020】好適には、上記パルス信号出力回路は、上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始するクロック計数回路と、上記クロック計数回路による計数値と上記パルス長データの値を比較し、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において切り換え信号を出力する切り換え信号生成回路と、上記第1のレベルを有する第1の信号を生成する第1の信号生成回路と、上記第2のレベルを有する第2の信号を生成する第2の信号生成回路と、上記切り換え信号に応じて、上記第1の信号または上記第2の信号を切り換えて出力する切り換え回路とを含んでいる。

20 【0021】上記の構成を有する本発明の変調回路によれば、パルスデータ出力手段において、上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較され、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差に応じたパルス長データ、および当該所定の位相に対応して設定されたパルス振幅データが、当該所定の位相において出力される。この上記パルス長データおよび上記パルス振幅データが上記パルス信号出力回路に入力されることに応じ、上記パルス信号出力回路において所定の初期値からクロックパルスの計数が開始され、当該クロックパルスの計数値と当該パルス長データの値が比較される。そして、当該計数値が上記所定の初期値および当該パルス長データと等しくなる時点において、上記パルス信号出力回路から出力される上記パルス信号のレベルは、上記パルス振幅データに応じた第1のレベルまたは所定の第2のレベルに切り換えられる。好適には、上記クロック計数回路において、上記パルス長データおよび上記パルス振幅データが入力されることに応じて所定の初期値からクロックパルスの計数が開始され、このクロック計数回路による計数値と上記パルス長データの値が、上記切り換え信号生成回路において比較される。そして、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において、上記切り換え信号が生成されて上記切り換え回路に入力される。上記第1の信号生成回路による上記第1の信号または上記第2の信号生成回路による上記第2の信号が、上記切り換え信号に応じて切り換えられて出力される。

50

【0022】本発明の画像表示装置では、入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、上記周期における位相に応じた位相データを生成する位相データ生成回路と、上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において、上記パルス信号のレベルを、上記周期における位相に応じた第1のレベルまたは所定の第2のレベルに切り換えて出力するパルス信号出力回路と、上記パルス信号のレベルに応じた輝度で発光する発光素子とを有している。

【0023】好適には、上記パルス信号出力回路は、上記位相データと上記入力データの値を比較し、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において切り換え信号を出力する切り換え信号生成回路と、上記第1のレベルを有する第1の信号を生成する第1の信号生成回路と、上記第2のレベルを有する第2の信号を生成する第2の信号生成回路と、上記切り換え信号に応じて、上記第1の信号または上記第2の信号を切り換えて出力する切り換え回路とを含んでいる。

【0024】また好適には、上記パルス信号出力回路は、クロックパルスを計数し、計数値が所定の計数値に達した場合、当該計数値を所定の初期値にリセットして再び当該クロックパルスを計数するクロック計数回路を含み、上記位相データ生成回路は、上記計数値に応じた上記位相データを生成し、上記第1の信号生成回路は、上記計数値に応じたレベルを有する上記第1の信号を生成している。

【0025】本発明の画像表示装置によれば、上記位相データ生成回路において、上記周期における位相に応じた位相データが生成される。上記パルス信号出力回路において、上記位相データと上記入力データの値が比較され、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において、上記パルス信号出力回路から出力される上記パルス信号のレベルは、上記周期における位相に応じた第1のレベルまたは所定の第2のレベルに切り換えられる。このパルス信号が上記発光素子に輸入され、上記発光素子はこのパルス信号のレベルに応じた輝度で発光する。好適には、上記パルス信号出力回路において、上記位相データと上記入力データの値が比較され、上記周期における所定の初期位相、および上記位相データと上記入力データの値が一致する位相において上記切り換え信号が生成される。この切り換え信号は上記切り換え回路に輸入されて、上記第1の信号生成回路による上記第1の信号または上記第2の信号生成回路による上記第2の信号が、上記切り換え信号に応じて切り換えられて出力される。また好適には、上記クロック計数回路においてクロックパルスが計数され、計数値が所定の計数値に達した場合、

当該計数値が所定の初期値にリセットされて再び当該クロックパルスが計数される。また、上記位相データ生成回路においては、上記計数値に応じた上記位相データが生成され、上記第1の信号生成回路においては、上記計数値に応じたレベルを有する上記第1の信号が生成される。

【0026】また、本発明の画像表示装置では、入力データに応じて変調した、所定の周期のパルス信号を出力する変調回路であって、上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較し、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差に応じたパルス長データ、および当該所定の位相に対応して設定したパルス振幅データを、当該所定の位相において出力するパルスデータ出力手段と、上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始し、当該クロックパルスの計数値と当該パルス長データの値を比較し、当該計数値が上記所定の初期値および当該パルス長データと等しくなる時点において、上記パルス信号のレベルを、上記パルス振幅データに応じた第1のレベルまたは所定の第2のレベルに切り換えて出力するパルス信号出力回路と、上記パルス信号のレベルに応じた輝度で発光する発光素子とを有している。

【0027】好適には、上記パルス信号出力回路は、上記パルス長データおよび上記パルス振幅データの入力に応じて所定の初期値からクロックパルスの計数を開始するクロック計数回路と、上記クロック計数回路による計数値と上記パルス長データの値を比較し、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において切り換え信号を出力する切り換え信号生成回路と、上記第1のレベルを有する第1の信号を生成する第1の信号生成回路と、上記第2のレベルを有する第2の信号を生成する第2の信号生成回路と、上記切り換え信号に応じて、上記第1の信号または上記第2の信号を切り換えて出力する切り換え回路とを含んでいる。

【0028】上記の構成を有する本発明の画像表示装置によれば、パルスデータ出力手段において、上記パルス信号の振幅を切り換えるべき複数の所定の位相と上記入力データが指定する位相とをそれぞれ比較され、上記入力データが指定する位相より進んでいる上記所定の位相と上記入力データが指定する位相との位相差に応じたパルス長データ、および当該所定の位相に対応して設定されたパルス振幅データが、当該所定の位相において出力される。この上記パルス長データおよび上記パルス振幅データが上記パルス信号出力回路に輸入されることに伴い、上記パルス信号出力回路において所定の初期値からクロックパルスの計数が開始され、当該クロックパルスの計数値と当該パルス長データの値が比較される。そして、当該計数値が上記所定の初期値および当該パルス長

データと等しくなる時点において、上記パルス信号出力回路から出力される上記パルス信号のレベルは、上記パルス振幅データに応じた第1のレベルまたは所定の第2のレベルに切り換えられる。このパルス信号が上記発光素子に入力され、上記発光素子はこのパルス信号のレベルに応じた輝度で発光する。好適には、上記クロック計数回路において、上記パルス長データおよび上記パルス振幅データが入力されることに応じて所定の初期値からクロックパルスの計数が開始され、このクロック計数回路による計数値と上記パルス長データの値が、上記切り換え信号生成回路において比較される。そして、当該計数値が上記所定の初期値および上記パルス長データと等しくなる時点において、上記切り換え信号が生成されて上記切り換え回路に入力される。上記第1の信号生成回路による上記第1の信号または上記第2の信号生成回路による上記第2の信号が、上記切り換え信号に応じて切り換えられて出力される。

【0029】

【発明の実施の形態】以下、本発明の変調回路および画像表示装置に関する2つの実施形態（第1の実施形態および第2の実施形態）について、本発明をLEDディスプレイ装置に適用した場合を例に説明する。

【0030】＜第1の実施形態＞図1は、本発明に係るLEDディスプレイ装置のブロック図である。図1において、1はパルス幅変調回路を、2はLEDを、3は制御部を、4はA/Dコンバータを、5はフレームメモリをそれぞれ示している。

【0031】パルス幅変調回路1は、制御部3の出力端子SDOから転送されたパルス長のデータに基づいて、LED2にパルス電流を流している。各画素のLEDに対して1つのパルス幅変調回路1が存在するため、パルス幅変調回路1の数は画面を構成するLEDの数に等しい。パルス幅変調回路1が制御部3から受け取るパルス長のデータはシリアルデータであり、シリアルデータの入力端子SIでこのデータを受けている。また、パルス幅変調回路1は入力端子SIから受けたデータに一定の遅延時間を与えて出力するシリアルデータの出力端子SOを備えており、この出力端子SOを他のパルス幅変調回路1の入力端子SIと縦続接続している。このようにパルス幅変調回路1のシリアルデータの入力端子SIと出力端子SOを縦続接続し、入力端子SIから出力端子SOへシリアルデータを次々と送り出すことによって、制御部3から各パルス幅変調回路1にデータを転送させている。図1において、各パルス幅変調回路1を縦続接続させた直列回路の末端の出力端子SOを制御部3に接続しているが、これは制御部3において戻ってきた信号から各パルス幅変調回路1の動作状態を調べるための接続である。なお、各パルス幅変調回路1はクロックの入力端子CLKを備えており、制御部3から各パルス幅変調回路1へ共通のクロックが供給されている。

【0032】制御部3は、A/Dコンバータ4から入力されるデジタル化された映像信号のデータを端子DIから入力し、このデータからLEDの各画素に対応する輝度のデータを抽出してフレームメモリ5に記憶させている。また、フレームメモリ5に記憶された各画素のデータを読み出してシリアルデータに変換し、出力端子SDOよりパルス幅変調回路1に出力している。出力端子SDOから出力するシリアルデータは制御部3の生成するクロックに同期しており、このクロックをクロック出力端子CLKから各パルス幅変調回路1へ出力している。制御部3の入力端子SDIは、パルス幅変調回路1から帰還されるシリアルデータが入力される。このシリアルデータには、各パルス幅変調回路1の動作状態（LEDの故障やICの過熱状態など）に関する情報が含まれており、制御部3はこの情報に応じて図示しない表示装置で異常を報知するなどの動作を行う。

【0033】A/Dコンバータ4は、アナログの映像信号Svを所定のビット数にデジタル化して、制御部3に出力している。

【0034】フレームメモリ5は、制御部3で抽出された各画素の輝度データを一時的に記憶している。各画素の輝度データは1画面（1フレーム）ごとに管理されて保存されており、制御部3はフレームごとの輝度データを順次読み出して各パルス幅変調回路1に出力する。

【0035】アナログの映像信号Svは、A/Dコンバータ4で所定のビット数のデジタル化されたデータに変換されて制御部3に出力され、制御部3において各画素の輝度データを抽出されてフレームメモリ5に出力される。各画素の輝度データはフレームメモリ5においてフレームごとに一時的に記憶される。フレームメモリ5に記憶された1フレームを構成する各画素の輝度データは制御部3の定める所定のタイミングで制御部3に読み出され、シリアルデータに変換された後、パルス幅変調回路1に出力される。各パルス幅変調回路1に入力された各画素の輝度データに応じて、各画素のLEDに所定のパルス長を有するパルス電流が流れてLEDが発光し、1フレームの画像が表示される。このように、フレームごとに輝度データをパルス幅変調回路1に出力させてLEDを発光させる動作が繰り返されることによって、動画像が表示される。

【0036】なお、各画素の輝度データは各パルス幅変調回路1にシリアルデータとして出力されているが、これをパラレルデータとして出力することも可能である。この場合、配線数がデータのビット数に応じて増えてしまう問題があるものの、各パルス幅変調回路1に輝度データを設定する速度がシリアルデータとして出力する場合に比べて速くなる利点がある。また、フレームメモリ5に1フレームを構成するデータを必ずしも全て記憶させる必要はなく、例えば1水平周期のデータをメモリにバッファとして記憶させてから出力させることも可能で

ある。また、A/Dコンバータ4の変換時間や制御部の処理時間が十分早い場合は、メモリのバッファを経ないで直接シリアルデータに変換して出力させることも可能である。

【0037】次に、制御部3の動作について説明する。図2は、第1の実施形態における制御部3の動作を説明するブロック図である。図2において、31はデータ入力部を、32はパルス設定データ生成部を、33はクロック発生部をそれぞれ示している。その他、図2と図1の同一符号は同一の構成要素を示している。

【0038】データ入力部31は、フレームメモリ5から各画素の輝度データを所定の順序で読み出して保持し、これをパルス設定データ生成部32に出力する。

【0039】パルス設定データ生成部32は、所定のパルス振幅データおよびデータ入力部から入力された輝度データ（パルス長データ）を、クロック発生部33によるクロック信号に同期させたシリアルデータに変換して、これを端子SDOから出力する。また、このシリアルデータ同期して、各パルス幅変調回路1にシリアルデータを設定させるためのイネーブル信号を生成し、これも端子SDOから出力する。パルス設定データ生成部32において生成させるシリアルデータおよびイネーブル信号のタイミング等の詳細について後で説明する。

【0040】クロック発生部33は、パルス設定データ生成部32にクロック信号を供給する。また、端子CLKからクロック信号を出力し、パルス幅変調回路1に対するクロック信号も供給する。

【0041】フレームメモリ5に記憶されている各画素の輝度データは、データ入力部31により所定の順序で制御部3に読み込まれる。この輝度データはパルス設定データ生成部32においてシリアルデータに変換される。このシリアルデータには、LED2に流すパルス電流の振幅を設定する所定のパルス振幅データも付加される。生成されたシリアルデータは、クロック発生部33の出力するクロックに同期して端子SDOから各パルス幅変調回路1に出力される。また、このシリアルデータに同期してイネーブル信号も生成され、シリアルデータとともに端子SDOから各パルス幅変調回路1に出力される。

【0042】次に、パルス幅変調回路1の動作について説明する。

【0043】図3は、第1の実施形態におけるパルス幅変調回路1のブロック図である。図3において、11はデータ比較回路を、12はパルス周期カウンタを、13はシフトレジスタを、14はD/Aコンバータを、15はnpnトランジスタを、16aおよび16bは抵抗を、17はAND回路を、18はカウンタを、19は遅延回路をそれぞれ示している。また、図1において制御部3の端子SDOから各パルス幅変調回路1に出力される信号は、図3においてイネーブル信号S1およびシリ

アルデータ信号S2の2つの信号に相当する。

【0044】データ比較回路11は、パルス周期カウンタ12の出力するクロック信号S3によるクロックの計数値S6とシフトレジスタ13の出力するパルス長データS7の大きさを比較し、この比較の結果に応じて信号S9をオン状態またはオフ状態に設定してD/Aコンバータ14に出力する。D/Aコンバータ14の出力信号S10はこの信号S9に応じてオンまたはオフ状態に設定され、npnトランジスタ14はこの信号10に応じてオンまたはオフに設定される。すなわち、パルス長データS7の値に応じて信号S9がオン状態またはオフ状態に設定される時間が可変され、これに応じてnpnトランジスタ14がオンまたはオフに設定される時間が可変されることにより、LED2に流れるパルス電流のデューティ比が制御される。またデータ比較回路11は、イネーブル信号S1がイネーブル状態のときに出力信号S9をオフ状態に設定する。出力信号S9がオフ状態のとき、D/Aコンバータ14において出力信号S10をオフ状態に設定され、これによりnpnトランジスタ15はオフに設定される。すなわち、イネーブル信号S1がイネーブル状態のとき、出力信号S9は初期化され、これによりLED2の発光は停止される。

【0045】パルス周期カウンタ12は、イネーブル信号S1がディスイネーブル状態のときに所定の初期値からクロック信号S3によるクロックを計数する。そして、その計数値S6が所定の値に達したところで計数値S6を所定の初期値にリセットし、初期値から再び計数を繰り返す。計数値S6は、データ比較回路11およびD/Aコンバータ14に出力される。またパルス周期カウンタ12は、イネーブル信号S1がイネーブル状態のときに計数値S6を所定の初期値にリセットする。そして、イネーブル信号S1がイネーブル状態からディスイネーブル状態に変化して所定数のクロック信号S3が入力された後に、再びクロック信号S3の計数を開始する。

【0046】シフトレジスタ13は、イネーブル信号S1がイネーブル状態の期間にAND回路17から入力されるクロック信号に同期して、制御部3から送られてくるシリアルデータS2を内部のレジスタに転送し、このデータを保持する。制御部3から送られてくるシリアルデータS2には、パルス電流のパルス長を設定するデータとパルス振幅を設定するデータが含まれており、シフトレジスタ13は、それぞれのデータをパルス長データS7およびパルス振幅データS8としてデータ比較回路11およびD/Aコンバータ14に出力する。パルス長データS7およびパルス振幅データS8を出力するタイミングは、イネーブル信号S1によって決定される。シフトレジスタ13は、イネーブル信号S1がイネーブル状態からディスイネーブル状態に変化して所定数のクロック信号S3が入力された後に、パルス長データS7を

データ比較回路 11へ、パルス振幅データ S8をD/Aコンバータ 14へそれぞれ出力する。

【0047】D/Aコンバータ 14は、パルス周期カウンタ 12によるクロック計数値 S6およびシフトレジスタ 13によるパルス振幅データ S8に応じた大きさの出力信号 S10を、抵抗 16aを介してnpn型トランジスタ 15のベースに入力する。すなわち、クロック計数値 S6およびパルス振幅データ S8の値に応じてnpn型トランジスタ 15のベース電流が制御され、LED 2の電流が制御され、これにより輝度が可変される。

【0048】D/Aコンバータ 14の出力信号 S10は、パルス振幅データ S8とクロック計数値 S6の積に比例した値に設定される。これは、例えば 2つのD/Aコンバータにより実現できる。まず 1つのD/Aコンバータにおいてパルス振幅データ S8をアナログ電圧に変換させ、これを他方のD/Aコンバータの基準電圧とし、このD/Aコンバータにおいてクロック計数値 S6に比例した出力信号 S10を生成させる。こうして生成された出力信号 S10は、パルス振幅データ S8およびクロック計数値 S6に比例する。また、乗算器および除算器を用いて出力信号 S10を生成させても良い。例えば、パルス振幅データ S8およびクロック計数値 S6を乗算器によって乗算し、この乗算結果を除算器において所定の係数で除算し、この除算結果をD/Aコンバータにおいてアナログ信号に変換した出力信号 S10を生成させる。こうして生成された出力信号 S10も、パルス振幅データ S8およびクロック計数値 S6に比例する。

【0049】またD/Aコンバータ 14は、データ比較回路 11の出力する信号 S9に応じて、出力信号 S10をオン状態またはオフ状態に設定する。出力信号がオン状態に設定されると、パルス振幅データ S8とクロック計数値 S6の積に比例した出力信号 S10が抵抗 16aを介してnpn型トランジスタ 15のベースに供給されてnpn型トランジスタ 15がオン状態となる。また出力信号がオフ状態に設定されると、出力信号 S10はローレベルとなってnpn型トランジスタ 15のベースに電流は流れず、npn型トランジスタ 15がオフ状態となる。

【0050】npn型トランジスタ 15は、抵抗 16aを介してベースに受けたD/Aコンバータ 14の出力信号 S10に応じて、LED 2にパルス電流を流す。Vpdは各LED 2のアノードに供給される電圧を示しており、図 1に示す各LED 2のアノードにはこの共通の電圧 Vpdが供給されている。出力信号 S10がオン状態のとき、抵抗 16aを介してベースに電流が流れて、npn型トランジスタ 15のコレクターエミッタ間がオン状態になる。これによりLED 2には電源電圧 Vpdからnpn型トランジスタ 15のコレクタ、エミッタおよび抵抗 16bを通して接地電位に向かう電流が流れ、LED 2はこの電流値に応じた輝度で発光する。出力信号 S1

0がオフ状態のとき、ベースに電流が流れないためnpn型トランジスタ 15のコレクターエミッタ間はオフ状態となる。これにより、LED 2には電流が流れず、LED 2の発光は停止される。

【0051】AND回路 17は、イネーブル信号 S1およびクロック信号 S3を受けて、イネーブル信号 S1がイネーブル状態の期間にクロック信号 S3をシフトレジスタ 13へ出力する。

【0052】カウンタ 18は、縦続接続されるパルス幅変調回路 1に供給するイネーブル信号を生成するための回路である。イネーブル信号 S1のイネーブル状態からディスイネーブル状態への変化を検出した後、所定のクロック長のイネーブル信号 S4を出力する。

【0053】遅延回路 19は、入力されたシリアルデータ信号 S2に所定のクロック数の遅延を与えたシリアルデータ信号 S5を出力する。この遅延は、カウンタ 18の出力するイネーブル信号 S4とシリアルデータ信号 S5を同期させるための遅延である。

【0054】上述した構成を有するパルス幅変調回路 1において、縦続接続により入出力されるシリアルデータとイネーブル信号について説明する。

【0055】図 4は、パルス幅変調回路 1において入力および出力されるシリアルデータとイネーブル信号のタイミングチャートを示す図である。図 4において、SDIはパルス幅変調回路 1に入力されるシリアルデータ信号 S2を、CLKはクロック信号 S3を、ENIはパルス幅変調回路 1に入力されるイネーブル信号 S1を、SDOはパルス幅変調回路 1から出力されるシリアルデータ信号 S5を、ENOはパルス幅変調回路 1から出力されるイネーブル信号 S4をそれぞれ示している。

【0056】すでに述べたように、図 1において制御部 3の端子 SDOから各パルス幅変調回路 1に出力される信号は、図 3においてイネーブル信号 S1およびシリアルデータ信号 S2に相当する。このうちシリアルデータ信号 S2は、パルス振幅を設定するデータおよびパルス長を設定するデータから構成されている。図 4の例においては、パルス振幅を設定するデータを 4ビットとし、各ビットを ID1～ID4 として示している。また、パルス長を設定するデータを 10ビットとし、各ビットを PD1～PD10として示している。したがって、制御部 3から各パルス幅変調回路 1に出力されるシリアルデータの 1ワードの長さは、図 4の例において 14ビットになる。なお、パルス電流のパルス振幅およびパルス長を設定するデータのビット数やシリアルデータの 1ワードの長さは図 4の例に限定されるものではなく、シフトレジスタ 13に保持させるデータの長さに応じて任意に設定することが可能である。

【0057】パルス設定データ生成部 32によってイネーブル信号 S1がディスイネーブル状態からイネーブル状態に設定され、クロック信号 S1に同期してシリアル

データ S2 がパルス幅変調回路 1 に入力されると、シリアルデータ信号 S2 のデータは、AND 回路 17 から出力されるクロックに同期してシフトレジスタ 13 の内部レジスタに入力される。またイネーブル信号 S1 のディスイネーブル状態において、パルス周期カウンタ 12 の計数値 S6 は所定の初期値にリセットされ、さらに、データ比較回路 11 の信号 S9 がオフ状態に設定されて LED2 の発光が停止されている。

【0058】シフトレジスタ 13 の内部レジスタに 1 ワード分のシリアルデータが保持された時点（図 4 の例においては、シリアルデータ SDI に PD10 が出力された時点）において、パルス設定データ生成部 32 によりイネーブル信号 S1 がイネーブル状態からディスイネーブル状態に設定されると、これに同期して、イネーブル出力信号 S4 はディスイネーブル状態からイネーブル状態に設定される。出力信号 S4 がイネーブル状態を保持する期間は、カウンタ 18 において 1 ワードの長さに応じた所定のクロック数に設定されており、図 4 の例において出力信号 S4 は 14 クロックの期間イネーブル状態に保持される。

【0059】シリアルデータの出力信号 S5 は、シリアルデータの入力信号 S2 を遅延回路 19 において所定のクロック数（図 4 の例では 2 クロック）だけ遅らせることにより生成される。遅延の長さは、カウンタ 18 の生成するイネーブル信号 S4 がイネーブル状態に変化する時点と、14 ビットのシリアルデータの先頭データ（図 4 においては ID1）が端子 SDO に現れる時点とが一致するように設定されている。

【0060】1 ワード分の長さに応じて設定された一定の長さのイネーブル信号 S4 とシリアルデータ S5 が互いに同期してパルス幅変調回路の端子 ENO および端子 SDO から出力されるので、端子 SDI と端子 SDO および端子 ENI と端子 ENO が縦続接続されたパルス幅変調回路 1 を通過するシリアルデータは、縦続接続された順番で、各パルス幅変調回路 1 のシフトレジスタ 13 に順次設定される。すなわち、制御部 3 の端子 SDO に接続されたパルス幅変調回路 1 には、制御部 3 から最初に出力されたシリアルデータが設定され、また縦続接続の末尾、すなわち端子 SDI に接続されたパルス幅変調回路 1 には、制御部 3 から最後に出力されたシリアルデータが設定される。

【0061】以上説明したようにして、パルス振幅データ（図 4 におけるデータ ID1 ~ ID4）およびパルス長データ（図 4 におけるデータ PD1 ~ PD10）からなる 14 ビットのシリアルデータが制御部 3 からパルス幅変調回路 1 に出力され、各パルス幅変調回路 1 のシフトレジスタ 13 に保持される。そして、各 LED2 には各パルス幅変調回路 1 のシフトレジスタ 13 に保持されたデータに応じたパルス振幅とパルス長を有する電流が流れる。

【0062】なお、図 3 に示したパルス幅変調回路 1 は、制御部 3 からパルス幅変調回路 1 に出力される輝度データがシリアルデータである場合の回路であるが、既に述べたように本発明において制御部 3 からパルス幅変調回路に設定するデータはシリアルデータに限定されるものではなく、例えばパラレルのデータであってもよい。例えばアドレスバスとデータバスを設けて、指定したアドレスのパルス幅変調回路に輝度データを設定させる一般的な転送方式を用いてもよい。

10 【0063】次に、レジスタ 13 に設定されたシリアルデータに応じて LED2 の電流が駆動される動作について説明する。

【0064】イネーブル信号 S1 がイネーブル状態からディスイネーブル状態に変化した時点において、シフトレジスタ 13 に入力されたパルス長データ S7 およびパルス振幅データ S8 はデータ比較回路 11 および D/A コンバータ 14 に出力される。またこの時点において、パルス周期カウンタは所定の初期値からクロック信号 S3 の計数を開始する。さらに、データ比較回路 11 の信号 S9 はオフ状態からオン状態に設定されて、LED2 にはパルス計数値 S6 とパルス振幅データ S8 の積に比例した電流が流れる。

【0065】パルス長データ S7 がシフトレジスタ 13 からデータ比較回路 11 に出力されると、クロック計数値 S6 と入力されたパルス長データ S7 が比較される。そしてこの比較の結果に応じて、データ比較回路 11 の信号 S9 はオン状態またはオフ状態に設定される。ここでは、パルス長データ S7 がパルス計数値 S6 より大きい場合に信号 S9 がオン状態に設定され、パルス計数値 S6 より小さい場合にオフ状態に設定される場合について説明する。この場合、パルス長データ S7 がクロック計数値 S6 の初期値より大きいとするならば、パルス周期カウンタ 12 の計数開始時点において LED2 は駆動されて発光している。

【0066】この LED2 の発光輝度は、D/A コンバータ 14 に入力されるパルス計数値 S6 とパルス振幅データ S8 との積に比例しており、例えば、クロック計数値 S6 がクロックの計数とともにインクリメントされて増大する場合、LED2 に流れる電流は最小値から時間 40 に比例して増大する。そしてこの増大する時間的な変化率は、パルス振幅データ S8 に応じて設定される。ここでは、クロック計数値 S6 がクロックの計数とともにインクリメントされて増大する場合について説明する。

【0067】クロック計数値 S6 がクロックの計数とともに増大してパルス長データ S7 の値を越えると、データ比較回路 11 の出力信号 S9 はオン状態からオフ状態に設定され、LED2 には電流が流れなくなり、LED2 の発光が停止される。そして、LED2 の発光停止後もパルス周期カウンタ 12 においてクロックの計数は続けられ、クロック計数値 S6 が所定値に達したところで 50

クロック計数値 S 6 は再び初期値にリセットされる。そして、その初期値からまた計数が開始される。このように、クロック計数値 S 6 が所定値でリセットされる動作が繰り返される。パルス周期カウンタ 12 によるこうしたクロックの計数の繰り返しによって、LED 2 にはパルス長データ S 7 に応じたディューティ比を有するパルス電流が流れる。またそのパルス電流の振幅は、クロック計数値 S 6 に応じて時間とともに増大している。

【0068】LED 2 に流れるパルス電流の周期は、クロックの周期とパルス周期カウンタによるクロックの計数回数によって決まる。例えばクロックの周期が $1\mu s$ であり、クロック計数値 S 6 が 0 ~ 255 で変化する場合に、パルス電流の周期は $256\mu s$ となる。

【0069】図 5 は、第 1 の実施形態において LED 2 に流れる電流の波形を示す図である。図 5 において、各波形図の縦軸は電流値を、横軸は時間を示しており、

(A) はパルス振幅の変化しない通常のパルス幅変調回路によるパルス電流の波形図を、(B)、(C) および

(D) は図 3 に示すパルス幅変調回路 1 によって LED 2 に流れるパルス電流の波形図をそれぞれ示している。

また、図 5 の Pulse 1, Pulse 2 および Pulse 3 は、それぞれパルス長の異なるパルス波形の例を示しており、波形 Pulse 1 は波形図 (B) のパルス波形と、波形 Pulse 2 は波形図 (C) のパルス波形と、波形 Pulse 3 は波形図 (D) のパルス波形とそれぞれ等しいパルス長を有している。また、図 5 の T はパルス波形の 1 周期の時間を示しており、T0 ~ T3 は時刻を示している。

【0070】時刻 T0 において、パルス周期カウンタ 12 がリセットされてパルス計数値 S 6 が初期化されると、LED 2 に電流が流れて、LED 2 は発光を開始する。このとき、通常のパルス幅変調回路においては、波形図 (A) に示すように一定の電流が LED 2 に流れる。一方、本実施形態のパルス幅変調回路 1 による波形図 (B) ~ (D) においては、LED 2 に流れるパルス電流の振幅が時間の経過に比例して増大している。時刻 T1 ~ T3 において、パルス周期カウンタ 12 の計数値 S 6 がパルス長データ S 7 と等しくなると、データ比較回路 11 の S 9 はオフに設定され、これにより LED 2 の電流は流れなくなる。

【0071】既に述べたように、人の視覚に感じられる LED の輝度は、LED に流れる電流の時間的な平均値に等しい。したがって、波形図 (A) に示す通常のパルス幅変調のようにパルス電流の振幅を一定にしなくてはならない必然的な理由はなく、本発明のようにしてパルス長と同時にパルス電流の振幅を変化させても良い。この場合においても、LED の輝度は電流の時間的平均値に等しくなる。

【0072】波形図 (A) におけるパルス電流の時間的平均値はパルス長に比例するのに対し、波形図 (B) ~

(D) におけるパルス電流の時間的平均値は、1 周期におけるパルス電流の積分値に比例することから、パルス長の 2 乗に比例することが分かる。また、パルス長は各画素の輝度データに比例する。したがって、本実施形態においては、LED の発光輝度が輝度データの 2 乗に比例する。上述したように、CRT のガンマ特性においては一般に輝度が輝度データの 2.2 乗に比例しているもので、本実施形態によれば、輝度と輝度データの関係を CRT のガンマ特性にほぼ近い特性に合わせることができ

10

る。【0073】なお、上述の説明ではパルス周期カウンタ 12 の出力するクロック計数値 S 6 がクロックの計数とともに増大する場合を例に説明しているが、クロック計数値 S 6 がクロックの計数とともに減少する場合であっても、パルス長データ S 7 に応じたパルス長の電流を LED 2 に流すことは可能である。この場合、パルス周期カウンタ 12 において所定の初期値、例えば 255 から計数が開始され、クロックの入力とともにクロック計数値 S 6 がデクリメントされる。また、パルス周期カウンタ 12 において計数が開始される時点では、クロック計数値 S 6 がパルス長データより大きいためにデータ比較回路 11 の出力信号 S 9 がオフ状態に設定され、LED 2 の発光は停止される。クロック計数値 S 6 の値が時間とともに減少し、パルス長データ S 7 よりも小さくなった時点でデータ比較回路 11 の出力信号 S 9 がオン状態に設定されて、LED 2 の電流発光が開始される。その後、パルス周期カウンタ 12 において所定の最小値、たとえばゼロまで計数されてからクロック計数値 S 6 がリセットされ、再び所定の初期値からデクリメントが開始される。パルス周期カウンタ 12 において再びデクリメントが開始されると、データ比較回路 11 の信号 S 9 はオフ状態に設定され、クロック計数値 S 6 がパルス長データ S 7 より小さくなる時点で再びオン状態に設定される。この動作が繰り返されることにより、LED 2 にはパルス長データ S 7 の値に応じたパルス長のパルス電流が流れる。

20

30

40

50

【0074】また、パルス振幅データ S 8 を調節することによって、D/A コンバータ 14 による出力信号 S 10 の最大値、すなわち輝度の最大値を調節することができる。これにより、例えば各パルス幅変調回路 1 ごとにパルス振幅データ S 8 を設定し、各 LED の個体差による特性のばらつきを補正させることができる。また、各パルス幅変調回路 1 に設定されるパルス長データに各 LED のばらつきを補正させる前処理を行い、この処理を経たパルス長データを各パルスは場変調回路 1 に設定させることもできる。この場合には、パルス振幅データ S 8 を制御部 3 から各パルス幅変調回路 1 に設定する必要はなくなり、図 3 における D/A コンバータ 14 の制御データはデータ比較回路 11 による信号 9 およびクロック計数値 S 6 だけになる。

【0075】＜第2の実施形態＞次に、本発明の第2の実施形態について説明する。第1の実施形態においては、クロック計数値S6に応じてパルス電流の振幅を変えている。第2の実施形態においては、パルス電流の1周期を幾つかのサブフレーム期間に分割し、各サブフレーム期間毎にパルス電流の振幅を定めている。このため、ステップを第1の実施形態に比べて振幅の可変されるステップが粗くなるが、パルス幅変調回路1が簡略化されている。

【0076】図6は、第2の実施形態における制御部3の動作を説明するブロック図である。図6において、34はサブフレームデータ生成部を、32aはパルス設定データ生成部をそれぞれ示している。その他、図7と図2の同一符号は同一の構成要素を示している。

【0077】サブフレームデータ生成部34は、データ入力部31から受けた輝度データから上述した各サブフレーム期間におけるパルス長データおよびパルス振幅データを生成し、各サブフレーム期間の初めにこれらのデータをパルス設定データ生成部32aへ出力する。パルス設定データ生成部32aへこれらのデータを出力するタイミングは、クロック発生部33によるクロック信号によって測られる。

【0078】パルス設定データ生成部32aは、サブフレームデータ生成部34から出力されるパルス長データおよびパルス振幅データを、各サブフレーム期間の初めにパルス幅変調回路1へ出力する。第1の実施形態におけるパルス設定データ生成部32との違いは、パルス長データおよびパルス振幅データが入力されたタイミングで、これらのデータをパルス幅変調回路1に出力することにある。その他、シリアルデータへの変換やイネーブル信号の生成に関してはパルス設定データ生成部32と同じである。

【0079】各サブフレーム期間におけるパルス長データおよびパルス振幅データは、例えば次のようにして生成される。

【0080】まず、パルス周期カウンタ12と同等のカウントによってクロック発生部33によるクロック信号が計数されて、周期的に変化する計数値が生成される。この計数値が変化する周期はパルス電流の周期に等しいので、この計数値はパルス電流の1周期における位相に対応した位相値とみなすことができる。この位相値において、各サブフレームの初期位相を示すサブフレーム初期位相値がそれぞれ設定されている。例えばパルスの1周期における一番初めのサブフレーム期間においては、1周期の初期位相値とサブフレーム初期位相値が等しい。パルス電流の振幅は、このサブフレーム初期位相値において切り換えられる。

【0081】生成された位相値が時間とともに変化して一のサブフレーム初期位相値と等しくなると、このサブフレーム初期位相値と入力された輝度データの値が比較

される。そして、このサブフレーム初期位相値が入力された輝度データの値より小さい場合、すなわちサブフレーム初期位相値の示す位相が入力された輝度データの示す位相に対して進んでいる場合に、入力された輝度データの値とこのサブフレーム初期位相値との差が求められ、この差の値がパルス長データとしてパルス設定データ生成部32aに出力される。サブフレーム初期位相値が入力された輝度データの値より大きい場合には、パルス長データは生成されない。

【0082】例えば、位相値が0～255まで変化し、3つのサブフレーム初期位相値が0と100と200に設定されており、入力された輝度データが150であるとする。この場合、まず位相値が0となる1周期の初期においてサブフレーム初期位相値0と輝度データ150の値が比較される。この場合、サブフレーム初期位相値が輝度データより小さいので、輝度データ150とサブフレーム初期位相値0との差であるパルス長データ150がパルス設定データ生成部32aに出力される。同様に位相値が100となる時点においてサブフレーム初期位相値100と輝度データ150の値が比較され、この場合もサブフレーム初期位相値が輝度データより小さいので、輝度データ150とサブフレーム初期位相値100との差であるパルス長データ50がパルス設定データ生成部32aに出力される。また、位相値が200となる時点においてサブフレーム初期位相値200と輝度データ150の値が比較され、この場合はサブフレーム初期位相値が輝度データより大きくなっているため、パルス長データは生成されない。すなわち輝度データ150に対して、パルス長データ150およびパルス長データ50が生成されて、位相値がそれぞれサブフレーム初期位相値0およびサブフレーム初期位相値100と等しくなる時点において、パルス設定データ生成部32aに出力される。なお、パルス長データ150がパルス幅変調回路1に入力された場合には、パルス電流のパルス長は位相値に対して150に設定され、この値はサブフレーム初期位相値100を超えてしまう。この場合、パルス長データ50がパルス幅変調回路1に入力された時点で、シフトレジスタ13に保持されたパルス長データは150から50に更新されるため、サブフレーム期間を超えたパルス長は設定されない。

【0083】パルス振幅データは、各サブフレーム期間毎に定められた値であり、パルス長データとともにパルス設定データ生成部32aへ出力される。

【0084】このようにして生成されたパルス長データおよびパルス振幅データは、これらのデータがパルス設定データ生成部32aに入力された時点においてシリアルデータに変換されて、各パルス幅変調回路1に出力される。

【0085】次に、本実施形態におけるパルス幅変調回路1について説明する。図7は、第2の実施形態にお

るパルス幅変調回路 1 のブロック図である。図 7 において 14a は D/A コンバータを示しており、その他、図 3 と図 7 の同一符号は同一の構成要素を示している。

【0086】図 7 に示す本実施形態のパルス幅変調回路 1 は、パルス計数値 S 6 が D/A コンバータに入力されていない点において、図 3 に示す第 1 の実施形態のパルス幅変調回路 1 と異なっている。すなわち、図 3 における D/A コンバータ 14 の出力信号 S 10 は、パルス振幅データ S 8 とクロック計数値 S 6 の積に比例した信号として生成されるのに対し、図 7 に示す D/A コンバータ 14a の出力信号 S 10 はパルス振幅データ S 8 を単純に D/A 変換して生成される。したがって、図 3 における D/A コンバータ 14 のように D/A コンバータを 2 つ用いたり、乗算器や除算器を用いなくても済むので、回路が簡略化されている。

【0087】図 8 は、第 2 の実施形態において LED 2 に流れる電流の波形を示す図である。図 8 において、各波形図の縦軸は電流値を、横軸は時間を示しており、

(A) はパルス振幅の変化しない通常のパルス幅変調回路によるパルス電流の波形図を、(B)、(C) および (D) は図 7 に示すパルス幅変調回路 1 によって LED 2 に流れるパルス電流の波形図をそれぞれ示している。また、図 8 の SF 1、SF 2 および SF 8 は、それぞれ異なるサブフレーム期間を示している。さらに、図の Pulse 1、Pulse 2 および Pulse 3 は、それぞれパルス長の異なるパルス波形の例を示しており、波形 Pulse 1 は波形図 (B) のパルス波形と、波形 Pulse 2 は波形図 (C) のパルス波形と、波形 Pulse 3 は波形図 (D) のパルス波形とそれぞれ等しいパルス長を有している。また、図 8 の T はパルス波形の 1 周期の時間を示しており、T0~T3 は時刻を示している。

【0088】時刻 T0 において、パルス周期カウンタ 12 がリセットされてパルス計数値 S 6 が初期化されると、LED 2 に電流が流れて、LED 2 は発光を開始する。このとき、通常のパルス幅変調回路においては、波形図 (A) に示すように一定の電流が LED 2 に流れる。一方、本実施形態のパルス幅変調回路 1 による波形図 (B) ~ (D) においては、サブフレーム期間ごとに LED 2 に流れるパルス電流の振幅が異なっており、時間とともに各サブフレーム期間におけるパルス電流の振幅は大きくなっている。ただし、各サブフレーム期間内におけるパルス電流の振幅は一定であり、この点において図 5 の波形図 (B) ~ (D) とは異なっている。すなわち、図 3 の D/A コンバータ 14 においてはクロック計数値 S 6 の変化に応じて時間とともに出力信号 S 10 が変化し、これに伴いパルス電流の振幅も変化しているが、図 3 の D/A コンバータ 14a においては各サブフレーム期間毎に入力されるパルス振幅データ S 8 に応じた一定の出力信号 S 10 が生成され、これによりサブフ

フレーム期間内においてパルス電流の振幅は一定になっている。

【0089】時刻 T1~T3 において、パルス周期カウンタ 12 の計数値 S 6 がパルス長データ S 7 と等しくなると、データ比較回路 11 の信号 S 9 はオフに設定され、これにより LED 2 の電流は流れなくなる。

【0090】なお、各サブフレーム期間の初期においてパルス電流が僅かな期間ゼロになっているが、これはシフトレジスタ 13 にデータが転送されている期間を示している。この期間においては、イネーブル信号 S 1 がイネーブル状態になっているために D/A コンバータ 12a の出力信号 S 10 がオフ状態に設定され、LED 2 に電流が流れない。

【0091】図 3 の波形図 (B) ~ (D) においてはパルス電流の時間的平均値が輝度データの 2 乗に比例する特性を有しているが、図 8 の波形図 (B) ~ (D) においても、サブフレーム期間の数が適切に設定され、また位相値の変化に応じて各サブフレーム期間におけるパルス電流の振幅を適切に変化させるパルス振幅データが適切に設定されることによって、パルス電流の時間的平均値と輝度データの関係を所定の特性に近づけることができる。

【0092】図 9 は、第 2 の実施形態における発光輝度と輝度データの関係を示す図である。図 9 において、縦軸は LED 2 の発光輝度を、横軸は輝度データをそれぞれ示している。また、SF 1~SF 5 はサブフレーム期間を示している。図 9 に示すように、サブフレーム期間 SF 1~SF 5 のそれぞれに対応してパルス振幅データが設定されて、パルス電流の振幅がサブフレーム期間ごとに異なる大きさとなることにより、発光輝度と輝度データは折れ線状のグラフで表される関係となる。この折れ線グラフが CRT のガンマ特性と近似するように、サブフレーム期間およびパルス振幅データが設定される。

【0093】なお、各サブフレームごとに設定されるパルス振幅データ S 8 を、さらに各画素ごとに調節することによって、各 LED の個体差による特性のばらつきを補正させることができる。また、各パルス幅変調回路 1 に設定されるパルス長データに各 LED のばらつきを補正させる前処理を行い、この処理を経たパルス長データを各パルス幅変調回路 1 に設定させることもできる。この場合には D/A コンバータ 14a に LED のばらつきを補正させるための細かな分解能は必要ないので、D/A コンバータ 14a をサブフレーム期間に応じた電流源に変更し、パルス振幅データ S 8 によってこの電流源を切り換えて LED 2 を駆動させることもできる。このようにすることで、パルス幅変調回路 1 の回路を簡略化できる。

【0094】以上説明したように、本発明の第 1 の実施形態に係る LED ディスプレイ装置によれば、パルス電流の 1 周期における位相に応じたクロック計数値 S 6 が

パルス周期カウンタ 12 において生成され、このクロック計数値 S6 とパルス長データ S7 がデータ比較回路 11 において比較され、パルス電流の 1 周期における初期位相、およびクロック計数値 S6 とパルス長データ S7 が一致する位相において、データ比較回路 11 の信号 S9 がオン状態またはオフ状態に変化し、D/A コンバータ 14 の出力信号 S10 がオン状態またはオフ状態となることにより LED2 にパルス電流が流れる。また、データ比較回路 11 の信号 S9 がオン状態のとき、D/A コンバータ 14 の出力信号 S10 はクロック計数値 S6 に比例して変化するので、パルス電流の振幅はパルス電流の位相に応じて変化する。これにより、輝度データのビット数を増やしたり、輝度データに補正等の前処理を施すことなく、輝度データと LED の発光輝度の関係を CRT のガンマ特性に合わせることができる。また、これにより回路の規模を小さく抑えることができるので、消費電力を少なくでき、安価に製造でき、装置を小型にできる。

【0095】また、本発明の第 2 の実施形態によれば、サブフレームデータ生成部 34 において、各サブフレーム期間の初期位相と輝度データが指定する位相とがそれぞれ比較され、輝度データが指定する位相より進んでいるサブフレーム期間の初期位相と輝度データが指定する位相との位相差に応じたパルス長データ、およびこのサブフレーム期間に対応して設定されたパルス振幅データが、このサブフレーム期間の初期位相において制御部 3 から各パルス幅制御回路 1 に出力される。パルス長データおよびパルス振幅データの入力に応じて、パルス周期カウンタ 12 において所定の初期値からクロックパルスの計数が開始され、データ比較回路 11 においてクロック計数値 S6 とパルス長データ S7 が比較され、クロック計数値 S6 が所定の初期値およびパルス長データ S7 と等しくなる時点において、データ比較回路 11 の信号 S9 がオン状態またはオフ状態に変化し、D/A コンバータ 14 の出力信号 S10 がオン状態またはオフ状態となることにより LED2 にパルス電流が流れる。また、パルス電流の振幅はパルス振幅データ S8 に応じてサブフレーム期間ごとに変化する。これにより、輝度データのビット数を増やしたり、輝度データに補正等の前処理を施すことなく、輝度データと LED の発光輝度の関係を CRT のガンマ特性に近似させることができる。また、第 1 の実施形態に比べて回路を簡略化できる。また、回路規模を小さく抑えることができるので、消費電力を少なくでき、安価に製造でき、装置を小型にできる。

【0096】

【発明の効果】本発明によれば、入力データに応じて変調した所定の周期のパルス信号を出力する変調回路において、入力データのビット数を増やしたり、入力データに補正等の前処理を施すことなく、入力データとパルス信号のパルス長を所定の特徴に合わせて設定することができ、例えばこの変調回路を用いた LED などによる画像表示装置において CRT のガンマ特性を補正することができる。これにより回路の規模を小さく抑えることができる。

10 【図面の簡単な説明】

【図 1】図 1 は、本発明に係る LED ディスプレイ装置のブロック図である。

【図 2】図 2 は、第 1 の実施形態における制御部 3 の動作を説明するブロック図である。

【図 3】図 3 は、第 1 の実施形態におけるパルス幅変調回路 1 のブロック図である。

【図 4】図 4 は、パルス幅変調回路 1 において入力および出力されるシリアルデータとイネーブル信号のタイミングチャートを示す図である。

20 【図 5】図 5 は、第 1 の実施形態において LED2 に流れる電流の波形を示す図である。

【図 6】図 6 は、第 2 の実施形態における制御部 3 の動作を説明するブロック図である。

【図 7】図 7 は、第 2 の実施形態におけるパルス幅変調回路 1 のブロック図である。

【図 8】図 8 は、第 2 の実施形態において LED2 に流れる電流の波形を示す図である。

【図 9】図 9 は、第 2 の実施形態における発光輝度と輝度データの関係を示す図である。

30 【図 10】図 10 は、LED ディスプレイの画素を構成する LED の駆動回路を示す図である。

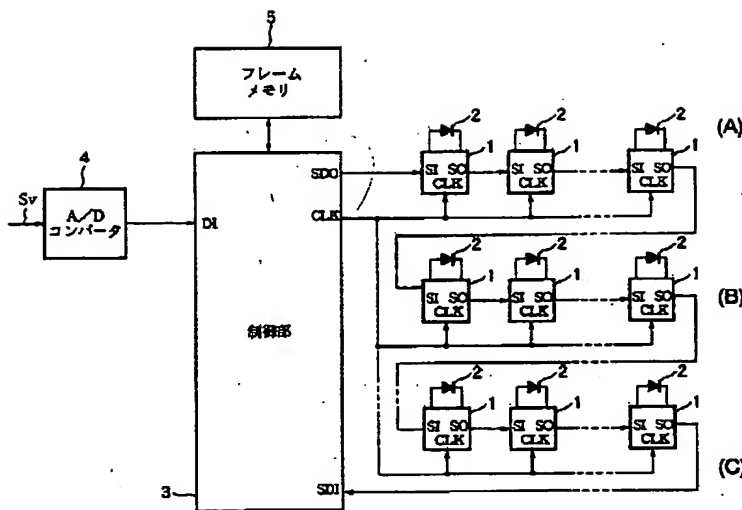
【図 11】図 11 は、図 10 の LED200 に流れる電流の波形を示す図である。

【図 12】図 12 は、入力される信号レベルに対する LED および CRT の輝度の関係を示す図である。

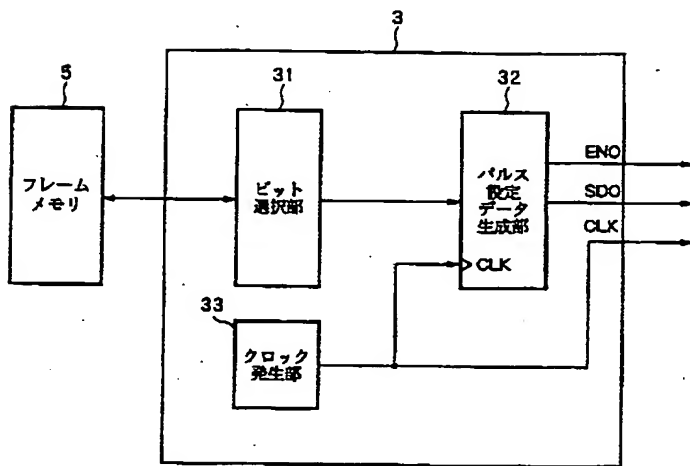
【符号の説明】

1…パルス幅変調回路、11…データ比較回路、12…パルス周期カウンタ、13…シフトレジスタ、14 および 14a…D/A コンバータ、15…npn トランジスタ、16a および 16b…抵抗、17…AND 回路、18…カウンタ、19…遅延回路、2…LED、3…制御部、31…データ入力部、32 および 32a…パルス設定データ生成部、33…クロック発生部、34…サブフレームデータ生成部、4…A/D コンバータ、5…フレームメモリ。

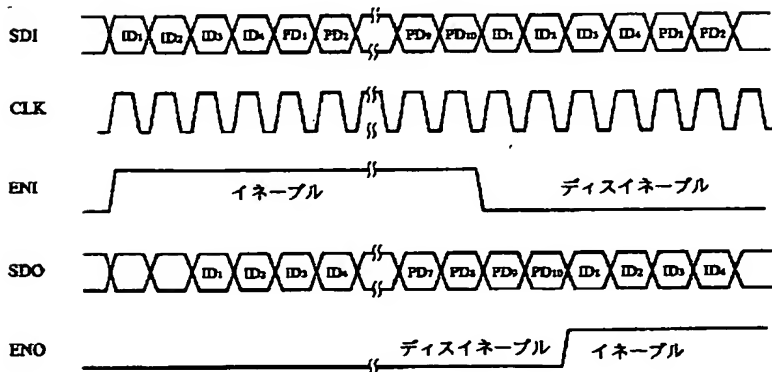
【図 1】



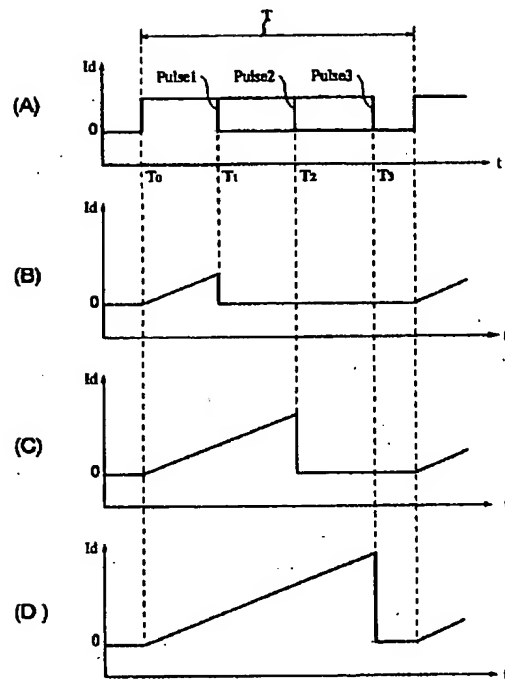
【図 2】



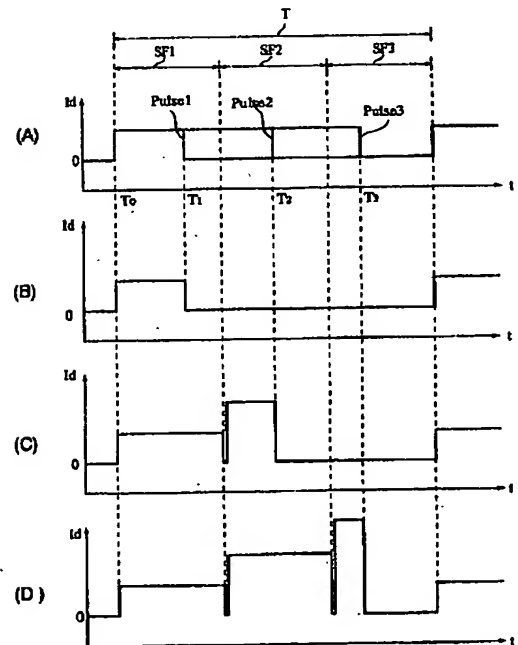
【図 4】



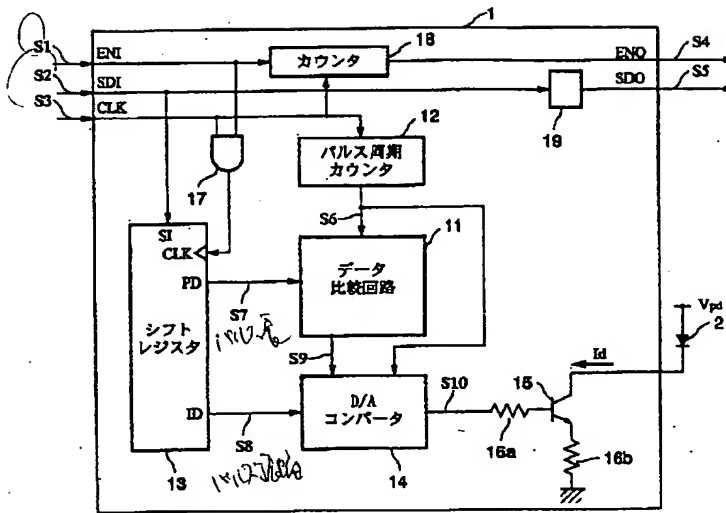
【図 5】



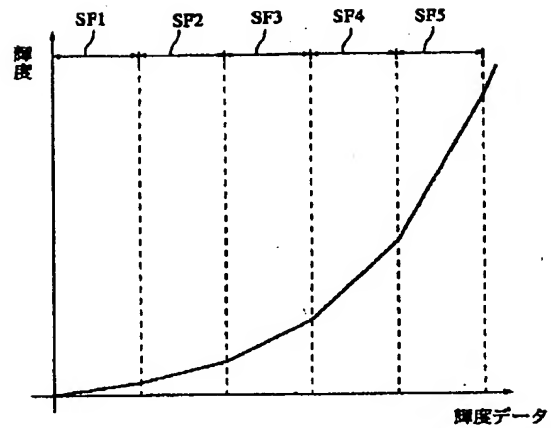
【図 8】



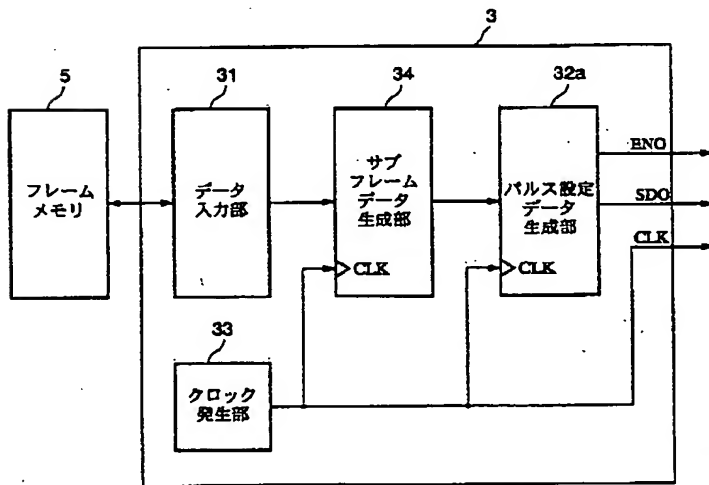
【図 3】



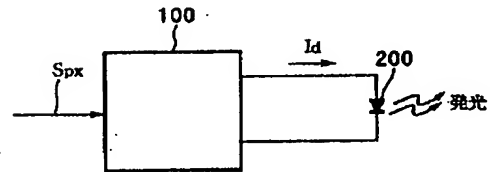
【図 9】



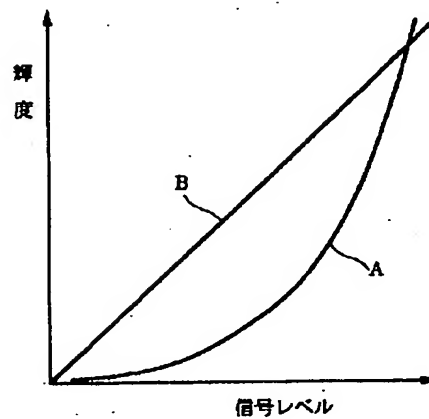
【図 6】



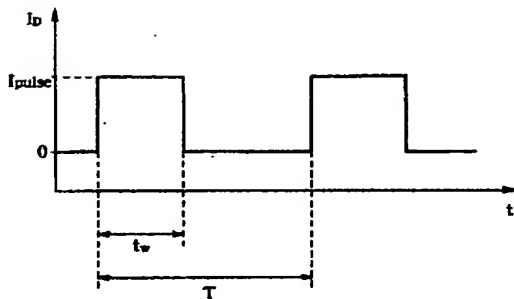
【図 10】



【図 12】



【図 11】



【図7】

